

No title available

Publication number: JP5265705 (A)

Publication date: 1993-10-15

Inventor(s): TSUTSUI AKIHIRO, ; NAKADA HIROSHI, ; YAMADA KAZUHISA,
; OOTA NAOHISA

Applicant(s): NIPPON TELEGRAPH & TELEPHONE

Classification:

- international: G06F7/00; G06F7/57; G06F7/575; H03K19/177; H04L29/02;
G06F7/00; G06F7/48; H03K19/177; H04L29/02; (IPC1-
7): G06F7/00; H04L29/02

- European:

Application number: JP19920064690 19920323

Priority number(s): JP19920064690 19920323

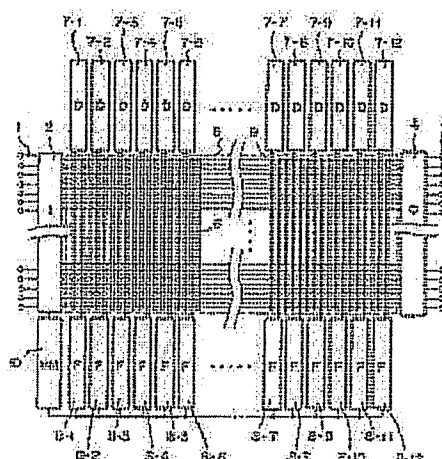
Also published as:

JP2560945 (B2)

Abstract of JP 5265705 (A)

PURPOSE:To effectively attain a digital communication processing system by providing a programmable digital processing circuit.

CONSTITUTION:A digital processing circuit consists of synchronizing registers 7-1 to 7-12 which convert the digital data time series into the space trains in a circuit, the logical arithmetic blocks 8-1 to 8-12 which perform the logical operations, a bus-type wiring area 5 which transmits the data at a high speed, a bus line selection circuit 9 which performs the extraction and insertion of the data between the area 5 and each synchronizing register 7, and a bus line terminating circuit which ensures the effective use of the bus-type wiring area 5. In such a constitution, the input/output of data is simplified between an optional place in a data stream and an outside place and at the same time these functions is made to be programmable.



Data supplied from the *espacenet* database — Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-265705

(43)公開日 平成5年(1993)10月15日

(51)IntCl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 7/00				
H 0 4 L 29/02				
		8323-5B	G 0 6 F 7/ 00	E
		8020-5K	H 0 4 L 13/ 00	3 0 1 Z

審査請求 未請求 請求項の数1(全 17 頁)

(21)出願番号 特願平4-64690

(22)出願日 平成4年(1992)3月23日

(71)出願人 000004226

日本電信電話株式会社
東京都千代田区内幸町一丁目1番6号

(72)発明者 筒井 章博

東京都千代田区内幸町1丁目1番6号 日
本電信電話株式会社内

(72)発明者 中田 広

東京都千代田区内幸町1丁目1番6号 日
本電信電話株式会社内

(72)発明者 山田 一久

東京都千代田区内幸町1丁目1番6号 日
本電信電話株式会社内

(74)代理人 弁理士 磯村 雅俊

最終頁に続く

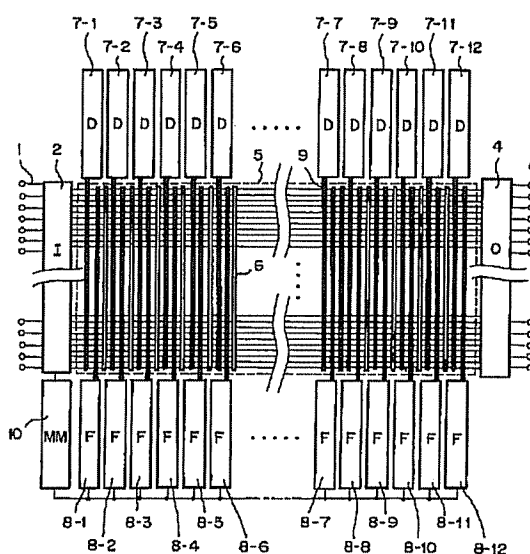
(54)【発明の名称】 デジタル処理回路

(57)【要約】

【目的】 プログラム可能なデジタル処理回路を提供することにより、デジタル通信処理システムを効率的に実現できるようにする。

【構成】 デジタルデータ時系列を回路内で空間列に変換する複数の同期レジスタと、論理演算を行う論理演算ブロックと、データを高速に伝搬させるバス型配線領域と、バス型配線領域と同期レジスタ間のデータの抽出と挿入を行うバス線選択回路と、バス型配線領域を有効利用するためのバス線終端回路とを設け、データストリーム内の任意の場所から外部への入出力を簡単に取り出せるようにし、かつこれらの機能をプログラム可能にする。

実施例 その1 (基本構成)



【特許請求の範囲】

【請求項1】 1ないし複数個の時系列デジタルデータを入力する入力セクタバッファおよび1ないし複数個の時系列デジタルデータを出力する出力セクタバッファと、数ビット幅の順序回路を構成するための1ないし複数個の同期レジスタと、任意のビット幅を持つデータのビット間論理演算を行う1ないし複数個のプログラム可能な論理演算ブロックと、該時系列デジタルデータを該同期レジスタおよび該論理演算ブロックの一部ないし全部に伝播するための信号線の集合から成るバス型配線領域と、該バス型配線領域の信号線より一部ないし全部の信号線を選択することにより、該同期レジスタ、該論理演算ブロック、該入力セクタバッファおよび該出力セクタバッファ個々が有する全てのデータ入出力端子とを接続するためのプログラム可能なバス線選択回路と、該バス型配線領域の一部ないし全部の信号線のある位置で終端するためのプログラム可能な1ないし複数個のバス線終端子とを有し、時系列デジタルデータの空間列への変換、任意のビット間のパターン検出、同期レジスタと論理演算ブロックの回路単位をパイプライン的に接続した処理、およびデータに付加されたタグ情報に基づいた逐次的なデータ処理を行うことを特徴とするデジタル処理回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、柔軟なデジタル通信処理を実現するための機能をプログラムすることが可能なデジタル処理回路に関するものである。

【0002】

【従来の技術】機能をプログラムすることが可能なデジタル回路としては、従来より、FPGA (Field Programmable Gate Array)、またはPLD (Programmable Logic Device)と呼ばれる装置が実用化されている。これらの装置は、主としてLSI開発の際のテスト用として用いられ、また雑ゲート(ランダムロジック)の吸収用として用いられていた。すなわち、これらの装置は、特別の用途に絞って用いるものではなく、専用装置としての最適化は行われておらず、動作速度やデバイスの使用効率よりも機能の汎用性に重点が置かれていた。その結果、これらのデバイスを用いてデジタル通信システムを構成した場合には、低速なデジタル通信システムでは回路規模が実用化のための問題となり、高速なデジタル通信システムでは動作速度が実用化への問題となっていた。従って、デジタル通信用のプログラム可能なデジタル回路として、上述のFPGAやPLDは用いられていないのが現状である。

【0003】

【発明が解決しようとする課題】前述のように、従来のプログラム可能な論理デバイスであるFPGAは、論理回路ブロックとラッチを組み合わせたもので、論理回路

ブロックの機能とその間の配線をプログラムするものであり、またPLDは、ランダムロジックの実現を主目的とし、単純なゲートを基本素子として、その組み合わせをプログラムすることにより機能回路を実現するものである。これらは、いずれも動作速度やデバイスの使用効率よりも装置の汎用性を目的としていた。一方、デジタル通信システムに必要な処理機能は、一般の論理回路とは以下の点で異なっており、FPGAやPLDで実現できるものではない。

(a) リアルタイム動作を重視する同期回路で構成されること、(b) 処理されるデジタルデータの時系列は、あるデータ単位で意味を持っており、そのデータ単位の幅が比較的広いこと、(c) 処理回路内でデータの流れ(データストリーム)が存在し、処理はその流れに沿ってパイプライン的に行われること、(d) 処理されるデジタルデータの時系列は、その時間的位置に大きな意味を持っていること、以上の(a)～(d)の事項は、高速と低速のデジタル通信システムの両方に見られる特徴である。特に、高速デジタル通信システムで必要となる処理機能を、従来のプログラム可能な論理デバイスで実現しようとした場合には、高速なデータ伝送処理や処理機能の高密度な実装を実現することができないため、実用できないという問題がある。

【0004】(e) あるビット幅のデータを高速に伝搬できる配線専用領域を持たないこと、(f) ランダムロジック指向で設計されているため、論理回路ブロックの入力データ幅が狭いこと、(g) ランダムロジック指向で設計されているため、論理回路ブロックと配線領域が混在する配置となっており、データストリームとパイプライン的な処理の流れがとり難いこと、(h) 外部入出力ブロックがデバイス周辺のどの位置にもとれるように設計されているものが多く、デバイス内で実現されている回路と、デバイス外への入出力ブロックとの配線が複雑で、遅延を招く構成となっていること、本発明の目的は、これら従来の課題を解決し、高速から低速までの全てのデジタルデータ伝送の基本機能を効率よく実現し、柔軟なデジタル通信処理を行うことが可能なデジタル処理回路を提供することにある。

【0005】

【課題を解決するための手段】上記目的を達成するため、本発明のデジタル処理回路は、1ないし複数個の時系列デジタルデータを入力する入力セクタバッファおよび1ないし複数個の時系列デジタルデータを出力する出力セクタバッファと、数ビット幅の順序回路を構成するための1ないし複数個の同期レジスタと、任意のビット幅を持つデータのビット間論理演算を行う1ないし複数個のプログラム可能な論理演算ブロックと、時系列デジタルデータを同期レジスタおよび論理演算ブロックの一部ないし全部に伝播するための信号線の集合から成るバス型配線領域と、バス型配線領域の信号線

より一部ないし全部の信号線を選択することにより、同期レジスタ、論理演算ブロック、入力セレクトバッファおよび出力セレクトバッファ個々が有する全てのデータ入出力端子とを接続するためのプログラム可能なバス線選択回路と、バス型配線領域の一部ないし全部の信号線のある位置で終端するためのプログラム可能な1ないし複数のバス線終端子とを有し、時系列デジタルデータの空間列への変換、任意のビット間のパターン検出、同期レジスタと論理演算ブロックの回路単位をパイプライン的に接続した処理、およびデータに付加されたタグ情報に基づいた逐次的なデータ処理を行うことを特徴としている。

【0006】

【作用】本発明においては、デジタル通信処理の本質を追及して、基本処理回路の構成と処理の相互関係を把握して、それらを簡単に効率よく実現できる回路のアーキテクチャを提供する。そのため、(イ) デジタルデータ時系列(処理対象データ)を回路内で空間列に変換し、あるデータ単位を切り出すことを可能とする複数の同期レジスタと、実際に論理演算を行うための論理演算ブロックとを用い、(ロ) あるビット幅を持つデータを高速に伝播させ、データストリームを構成するためのバス型配線領域を持ち、(ハ) バス型配線領域と同期レジスタ間のデータの抽出/挿入を行うためのバス線選択回路とバス型配線領域を有効利用するためのバス線終端回路を有し、(ニ) データストリーム内の任意の場所から外部への入出力を簡単に取り出せるようにし、これらの機能をプログラム可能にする。また、複数のデバイスにまたがってデータストリームを形成し、パイプライン的な処理の流れをとれるように、均質な回路構成とする。これにより、回路規模の大小によらずに、論理演算ブロックとその結合関係をプログラムすることができるので、デジタル通信処理における殆んど全ての処理回路を実現することができる。

【0007】

【実施例】以下、本発明の実施例を、図面により詳細に説明する。図1は、本発明の第1の実施例を示すデジタル処理回路の構成図である。図1において、1はデータ入力端子、2はデータ入力セレクトバッファ、3はデータ出力端子、4はデータ出力セレクトバッファ、5はバス型配線領域、6はバス線終端子、7-1~7-12は数ビット幅の同期レジスタ、8-1~8-12はあるビット幅を持つデータを処理するためのプログラム可能な論理演算ブロック、9はバス型配線領域5内のバス線と同期レジスタ7あるいは論理演算ブロック8の入力信号線および出力信号線を結ぶためのプログラム可能なバス線選択回路、10は論理演算ブロック8の機能およびバス線選択回路9の選択バス線、バス線終端子のON/OFFをプログラムするためのコントローラである。本実施例のデジタル処理回路は、デジタル通信処理の

処理対象となる2進数表現によるデータのある単位(バイトないしワード)で捉え、時系列であるデジタルデータを空間列に変換して処理を行えるようにレジスタ7を複数用意し、論理関数演算素子8とレジスタ7の組み合わせという最も基本的な回路単位をパイプライン的に接続した処理の流れを構成する。また、デジタルデータ通信において、大きな意味を持つデータの時間的な位置をデータにタグ(修飾データ)をつけることにより具体的に表わし、タグ情報に基づいて逐次的にデータ処理を行うことにより、処理のパイプライン化を図れるように幅の広いデータストリームを構成できるようにした。

【0008】図1に示すように、本実施例では、次のような具体的手段を具備する。

(a) デジタルデータ通信処理に必要な要素である数ビット幅のレジスタ7、および数ビット入力 of 論理関数(演算)ブロック8、外部回路との信号のやりとりを行う数ビット幅の入力ブロック2、および出力ブロック4を具備する。

(b) 数ビット幅のバス型配線領域5を具備することにより、あるビット幅を持つデータ単位を高速に伝搬させることができ、バス型であるためにデータストリームの構成を容易にする。

(c) レジスタ7、論理関数(演算)ブロック8、入力ブロック2および出力ブロック4の全てのデータ入出力端子とバス型配線領域5の一部ないし全部の信号線を接続させるためのバス線選択回路9と、バス型配線領域5の一部ないし全部の信号線のある場所で終端させるためのプログラム可能な終端子1つないし複数個具備することにより、レジスタ7、論理関数(演算)ブロック8、入力ブロック2、出力ブロック4間の自由な配線を可能としている。

(d) 数ビット幅のレジスタ7および数ビット入力の論理関数(演算)ブロック8、外部回路との信号のやりとりを行う数ビット幅の入出力ブロック各々のブロックへの入出力信号線をバス型配線領域5と結合可能にすることにより、バス状に形成されたデータストリームの任意の位置への全体回路外部からの入力信号の挿入、任意の位置から全体回路外部への信号の取り出しを可能にする。

【0009】さらに、本実施例では、従来のプログラム可能な論理デバイスの応用を制限していた高速デジタル通信処理への適用を可能とし、低速システムでは回路の利用効率を上げるための手段として、次のようなものを具備する。

(e) 高速な処理を要求する回路においては、システムクロックに同期して確実に入力データ時系列を逐次的に伝搬させ、レジスタ7から他のレジスタ7へデータが伝搬する間に処理が完了していることを保証するため、データ処理のための論理回路をレジスタ間に挟み込む形とする。

(f) 比較的低速なシステムクロックでの動作が要求される回路では、処理の基本的特徴は同じであるが、その組み合わせが複雑となる場合が多く、1つのデバイスでは処理できない場合も想定される。そこで、このような場合には、デバイスを縦列に接続して機能を拡張できるように、レジスタ7と論理関数ブロック8を1つのブロックとして、このユニットを均一に配列した構造とする。

(g) バス型配線領域5上に任意のバス線を選択できるようなプログラム可能なバス線選択回路9を、レジスタ・論理回路ブロックのユニット毎に用意し、任意論理関数ブロック8間のレジスタ7を介さない直接接続や、処理データをデータストリームと逆方向に伝搬するフィードバックを可能にする。さらに、複数論理関数ブロックへのデータの同報も可能にする。このような自由な配線を可能にすることにより、回路の利用効率を高めることができる。また、高速な処理が要求される回路では、処理対象データのシリアル/パラレル展開の際に多点に展開して、要求システムクロックを落して処理する必要がある。本実施例では、このバス型配線5とバス線選択回路9の配置によりパラレル展開され、数個のデバイスに割り当てられた複数のデータストリームを各デバイスの入出力ブロックから取り込み、実際にデータ処理を行う論理関数ブロックに任意の位置で統合することを可能にする。

【0010】(入出力セクタバッファ) 図2は、図1における入力セクタバッファの内部詳細図であり、図3は、同じく出力セクタバッファの内部詳細図である。図2、図3において、11は外部データ入力端子1をバス型配線領域5内のバス線に選択的に結合するためのバス線選択回路、12はバス型配線領域5内のバス線を外部データ出力端子3に選択的に結合するためのバス線選択回路、13は入力側についてはバス線選択回路11とバス型配線領域5内の各バス線間に存在し、また出力側については、バス線選択回路12と外部データ出力端子3の間に存在し、信号劣化防止と信号波形整形用のバッファである。なお、バス線選択回路11、12内の機能については後述する。

(同期レジスタ) 図4は、図1における同期レジスタの内部詳細図である。図4(b)に示すように、14は1ビット入力1ビット出力のデータラッチであって、クロックに同期して動作する。同期レジスタ7は、図4

(a) に示すように、この1ビット入力1ビット出力のデータラッチ14を1つないし複数個配列した構成を取り、それらの入出力信号線はまとめてバス選択回路9に接続される。また、これらを駆動するためのクロック信号線15も、バス線選択回路9に接続される。また、図

$$(y_0, y_1, \dots, y_{m-1}) = g(x_0, x_1, \dots, x_{n-1}, q_0, q_1, \dots, q_{h-1}) \quad (1)$$

ここで、 $(x_0, x_1, \dots, x_{n-1})$ は入力ビット列、

4(a) に示すように、同期レジスタ7を構成する1ビット入力1ビット出力のデータラッチ14は、その入力クロック信号を有効/無効にするための信号(クロックイネーブルEC)と、内部の記憶をリセットするための信号(RST)を備えたものでもよく、これらの信号線もバス線選択回路9に接続される。

【0011】(論理演算ブロック) 図5、図6および図7は、図1における論理演算ブロックの内部構成図である。以下、説明の都合上、論理演算ブロック8の入力数をnf、出力数をmfとする。図5において、16はmf×2のnf乗ビットの容量を持つメモリ、17は論理演算ブロック8のnfビット入力をそのままアドレスとして解釈し、メモリ16に記憶されている対応したデータを読み出して、論理演算ブロック8の出力mfとして与えるメモリ管理ユニット(MM)である。メモリ管理ユニット17は、論理演算ブロック機能プログラムコントロールユニット10からのプログラム信号線18がアクティブになった場合には、論理演算ブロック8内のメモリ16の内容をプログラムするために使用される。本実施例では、メモリ16を利用することにより論理演算ブロック8において、nf入力mf出力の任意の論理関数を実現できる。なお、メモリ16の内容を書き換える場合には、メモリ管理ユニット17を書き込みモードにすることにより書き換えができる。これによって、プログラム可能な論理ブロックが実現できる。図5では、nf入力mf出力の任意の論理関数がプログラム可能であるが、実際には、nf入力mf出力の全ての論理関数の集合のサブセットが実現できればそれで十分の場合もある。図6は、論理演算ブロックの第2の実施例を示す図であって、上述のような論理関数の集合サブセットを実現した場合のブロック図である。ここでは、アドレスデコード19を用いることにより、論理関数ブロックのnfビット入力をkfビット(kf<nf)に縮退させることにより対応することができる。デコード19のデコード規則もプログラム可能にすれば、論理関数集合のサブセットを選択できることになる。なお、図5、図6に示した実施例は、ルックアップテーブル方式である。

【0012】図7は、論理演算ブロックの第3の実施例を示す図であって、論理関数の実現をメモリ読み出しによるルックアップテーブル方式によらずに、メモリの記憶内容を論理ゲートのパラメータとして用いる方式である。図7において、20は機能を固定した論理関数を実現するブロック(Fixed Logic Cell)、21は固定論理関数ブロック20へのパラメータ入力を記憶するためのメモリ、22はそのメモリを制御するためのコントローラである。この論理演算ブロック8が実現するnf入力mf出力論理関数gを次式(1)で示す。

$(y_0, y_1, \dots, y_{m-1})$ は出力ビット列、 $(q_0, q_1, \dots, q_{h-1})$

q_{hf-1})は論理演算ブロック8内のメモリ21に記憶されている内容である。論理関数 g は固定であるが、 g の入力となっているビット列($q_0, q_1, \dots, q_{hf-1}$)の内容をプログラムすることにより、結果的に論理関数 g の機能をプログラムすることになる。この方法では、 n 入力 m 出力の任意の論理関数のうち、あるサブセットを実現することができる。なお、この他にプログラム可能な論理演算ブロック8の実現方法としては、既存のゲートアレイのようなフューズ/アンチフューズを用いた構成のものがある。

【0013】(バス線選択回路)図8は、図1におけるバス線選択回路の構成図である。図8において、破線で囲まれた部分がバス線選択回路9である。23はバス型配線領域5のバス線、24は論理演算ブロック8と同期レジスタ7からの出力信号線と入力信号線に接続される信号線、25はバス線23と信号線24とをショートするための素子であり、ショートのON/OFFをプログラムすることが可能である。この素子25は、ゲートで構成してもよく、またバストランジスタを用いてもよい。図8の構成を用いた場合には、信号線をショートさせる素子25のON/OFFをSRAM等でコントロールすることにより、論理演算ブロック8と同期レジスタ7からの入出力信号線の延長である信号線24の各線を、バス型配線領域5内の信号線23のうちの任意の信号線を1本ないし複数本選択して結合することができる。その結果、論理演算ブロック8と同期レジスタ7間のバス型配線領域5を用いた任意の結合関係を、プログラムによりコントロールすることができる。図8では、選択できるバス線23は、バス型配線領域5内の全てのバス線23に渡っているが、実際にはそのサブセットでもよい。

【0014】(バス線終端子)図9、図10は、図1におけるバス線終端子の構成図である。図9において、6はバス線終端子であって、その詳細図を図10に示す。同期レジスタ7の入出力信号と論理演算ブロック8の入出力信号をバス型配線領域5を介して接続する際に、バス線選択回路9を用いて配線をプログラムした例を示している。バス線の殆んどは配線に用いられた場合、バス衝突により新たな配線用バス線が確保できないときには、バス線終端子6を用いてバス線を複数のセグメントに分割することができる。これにより、バス線を有効利用することができる。バス線終端子6の内部構成は、図10に示すように、記憶要素26とバッファ27を組み合わせた構成となっている。図9の構成では、選択できるバス線は、バス型配線領域5内の全てのバス線に渡って終端可能な例を示しているが、実際にはそのサブセットでもよく、バス型配線領域5内のいくつかのバス線を終端するものでもよい。

【0015】(プログラム可能な機能をプログラムするためのコントローラ)図11は、図1におけるプログラ

ムコントローラの構成図である。図11において、10はプログラムコントローラ、6はバス線終端子、8は論理演算ブロック、9はバス線選択回路である。また、28はプログラムのための各記憶要素にプログラム制御信号を伝搬するためのプログラム制御信号線であって、論理演算ブロック8、バス線選択回路9、バス線終端子6内のプログラムを記憶するための記憶要素を制御する。30は各記憶要素に対して、あるデータを記憶すべき位置を指し示すためのアドレスバスであり、31はプログラムすべきデータがあるデータ単位で伝搬するためのデータバスであり、32はプログラムコントローラ10を制御する信号を入力セクタバッファ2から得るための信号線である。例えば、記憶要素をSRAMで構成した場合には、上述のアドレスバス、データバス、プログラム制御信号線を用いて一般のSRAMをプログラムする場合と同じような方法でプログラムすることが可能である。つまり、プログラムコントローラ10は、一般のSRAMをプログラムするための回路でよい。さらに、アドレスバス30およびデータバス31は、バス型配線領域5内に設置すればよい。

【0016】(基本回路の構成)図12、図13は、論理演算ブロックの構成図であって、図12は無記憶型論理演算機能ブロック、図13は記憶型論理演算機能ブロックを示している。デジタル通信処理回路は、同期回路で構成され、適当な規模を持つ論理演算機能ブロックの複合体であると考えることができる。それらの論理演算機能ブロックは、(a)無記憶型と(b)記憶型の2種類に分類できる。無記憶型論理演算とは、演算の結果が現在の入力データのみ依存するものであり、実際にデジタル回路を構成すると、その内部には記憶素子は存在しないことになる。一方、記憶型論理演算とは、演算の結果が過去の入力および演算結果にも依存するものであって、実際のデジタル回路の構成ではその内部に記憶素子を必要とする。同期式のデジタル回路の場合には、図13に示すように記憶素子としてDラッチを用いればよい。図12において、無記憶型論理演算ブロックは、 n ビット入力 m ビット出力の論理関数を実現するための回路で構成される。本実施例では、論理演算ブロック8に相当する。また、図13において、記憶型論理演算ブロックは、 n ビット入力 m ビット出力の論理関数を実現するための回路と、出力 m ビット中 k ビットをフィードバックする形で、Dラッチ群を通した形で構成される。本実施例では、論理演算ブロック8と同期レジスタ7の組み合わせにより実現されている。図14は、記憶型論理演算ブロックの構成例を示す図である。図14において、8-a、8-bは論理演算ブロック、7-a、7-bは同期レジスタである。論理演算ブロック8-aの出力の一部をバス線選択回路9-a、9-bのプログラムにより同期レジスタ7-aの入力に結合し、対応する出力を再び論理演算ブロック8-aの入力に結合

する。本実施例では、8-aが7-aの同期レジスタの一部を用いてフィードバックループを構成し、記憶型論理演算ブロックを形成している。このように、バス型配線領域5およびバス線選択回路9を用いて論理演算ブロックと同期レジスタの結合関数をプログラムすることにより、無記憶型論理演算機能ブロック、記憶型論理演算ブロックともに構成が可能である。

【0017】(基本回路の組み合わせ・低速〜一般のデジタル通信処理回路の場合)図15は本発明のデジタル同期回路の基本形を示す図であり、図16は同じくデジタル処理回路の構成のうち、直列的接続および並列的接続と同報的接続の図であり、図17は同じくワイヤードAND接続構成を示す図である。一般に、無限ビット幅の入力データを受け取り、演算結果として無限ビット幅の出力データを出力できる無限ビット幅の状態記憶を持つ記憶型論理演算ブロックが構成できるならば、その論理演算機能をプログラムすることにより任意の同期式デジタル通信処理回路が実現できる。しかし、実際には、無限のビット幅を持つ処理回路は実現不可能である。そこで、対象となる同期式デジタル通信処理回路を実現するために、有限のビット幅のデータを処理できる無記憶型/記憶型の論理演算ブロックを組み合わせる用いることになる。図15に示すように、対象とするデジタル通信処理回路をNビット幅入力、Mビット幅出力の論理演算、Kビット幅状態記憶を用いて設計する場合を考える。この対象回路を、nビット幅入力、mビット幅出力の論理演算回路とkビット幅状態記憶回路を持つ論理演算ブロック複数個を組み合わせる実現する。このときの各論理演算ブロック間の接続形状は、図16の(1)に示すように、一部ないし全部の入出力信号を直列に接続するか、または、その一形状としてフィードバック接続を許す接続と、図16の(2)に示すように、一部ないし全部の入力信号を並列に接続するか、または、ある論理演算ブロックからの出力より、同報的に複数の論理演算ブロックへ信号を伝搬することを許す接続と、図17に示すように、複数の論理演算ブロックの出力信号を結合して、Wired-Andの実現を許す接続の3種類を実現できれば望ましい。

【0018】図18は、本発明における論理演算ブロックと同期レジスタの結合実施例の図である。本発明においては、図16、図17に示す全ての論理演算ブロックないし同期レジスタ間の結合関係を、バス型配線領域5とバス線選択回路9を用いて構成することができる。図18において、8-a〜8-dは論理演算ブロック、7-a〜7-dは同期レジスタ、9-a〜9-hは各々バス線選択回路の領域であり、実線の配線はバス線選択回路のプログラム内容を示している。同期レジスタ7-aの出力信号は、バス線選択回路9-a、9-bを用いて論理演算ブロック8-aの入力と結合される。さらに、論理演算ブロック8-aの出力は、9-bと9-cを用

いて同期レジスタ7-bの入力と結合される。このような過程を繰り返すことにより、同期レジスタと論理演算ブロックの直列接続が実現できる。また、同期レジスタ7-aの出力は、バス線選択回路9-bおよび9-dのプログラム内容による配線により、論理演算ブロック8-aおよび8-bに分配される。このように、バス型配線領域5の特徴を生かして同期レジスタと論理演算ブロックの並列接続が実現される。さらに、論理演算ブロック8-cの出力信号と、論理演算ブロック8-dの出力信号は、各々バス線選択回路9-fと9-hを用いて同一のバス線に載せられる。バス線上では2つの出力信号が衝突する形になるが、この接続によりWired-ANDが実現されて、その結果をバス線選択回路9-gの設定により同期レジスタ7-dに入力することで、Wired-ANDの結果を取り出せたことになる。このように、本発明では、バス型配線領域5とバス線選択回路9による同期レジスタおよび論理演算ブロック間の結合を実現するので、デジタル通信処理を実現するための全ての論理回路を効率的に構成することが可能である。

【0019】(高速デジタル通信処理回路の場合)図19は、本発明におけるパイプライン処理構成例を示す図である。本発明の回路を用いて、高速デジタル通信処理回路を実現する場合、論理演算ブロック8を多段に結合すると、演算遅延時間が多くなって、高速な処理に対応することができなくなる。そこで、対象となる処理回路の適当な位置に同期レジスタ7を挿入することにより、回路のスループットを改善する。本発明では、論理演算ブロック8、同期レジスタ7、論理演算ブロック8、同期レジスタ7、・・・という順序で、パイプライン構成を簡単かつ効率的に実現できるので、同期レジスタ7間に行われる処理の遅延を保証し、高速デジタル通信処理回路を実現することができる。図14において、1はデータ入力端子、2はデータ入力セレクトバッファ、7-1、7-2は同期レジスタ、8-1、8-2は論理演算ブロックである。また、5はバス型配線領域、9-1〜9-4はバス線選択回路である。データ入力端子1から入力されたデータは、データ入力セレクトバッファ2のバス線選択回路9-1の設定によって、同期レジスタ7-1の入力に結合される。対応する同期レジスタ7-1の出力は、バス線選択回路9-1および9-2の設定によりバス型配線領域5を介して論理演算ブロック8-1の入力に結合される。論理演算ブロック8-1の出力は、バス線選択回路9-2および9-3の設定により、バス型配線領域5を介して同期レジスタ7-2の入力に結合される。同期レジスタ7-2の出力は、バス線選択回路9-3および9-4の設定により論理演算ブロック8-2の入力に、バス型配線領域5を介して結合される。このような過程を繰り返すことにより、同期レジスタ7、論理演算ブロック8、同期レジスタ7、論理演算ブロック8の順序の繰り返して、パイプライン

処理の構成が簡単に実現できる。

【0020】(処理信号の流れと、デジタル通信処理回路への具体例)図20は、図1の実施例を用いて、実際にデジタル通信処理回路を実現した場合の構成図である。図20において、データ入力端子1から x ビット並列で入力されたデータは、入力セクタバッファ2を介してバス型配線領域5内に包含される x 本のバス線に載せられる。これらの信号線と同期レジスタ7-1の各レジスタの入力端子のうち、 x ビットをバス線選択回路9-1を用いて結合することにより、 x ビット並列入力データは同期レジスタ7-1内の x 個のDラッチに入力される。このとき、同期レジスタ7-1の総入力数を n_r とすると、残りの $n_r - x$ 個のDラッチはバス線選択回路9-1を用いて他のバス線と結合することにより、対象となるシステムの他の場所で利用することができる。同期レジスタ7-1によりラッチされた x ビットのデータは、同期レジスタ7-1から出力されて、バス線選択回路9-1に入力される。バス線選択回路9の選択をプログラムすることにより、同期レジスタ7を通過した x ビットのデータをバス型配線領域5内のバス線に載せ換えることができる。また、この選択された x ビットのバス線からバス線選択回路9-2を用いて、論理演算ブロック8-1の入力信号線と結合することにより、 x ビットのデータが論理演算ブロック8に入力されて演算が実施される。このとき、論理演算ブロック8-1の総入力数を n_f ($n_f > x$) とすれば、残りの $n_f - x$ 入力は、バス線選択回路9をプログラムすることにより、他のバス線と結合されて他の同期レジスタおよび論理演算ブロックの出力を論理演算ブロック8-1の入力として用いることができる。

【0021】ここで、論理演算ブロック8-1の論理演算機能はプログラム可能であるため、 x ビット幅の入力データに対して任意の処理を施すことができる。論理演算ブロック8の出力をバス線選択回路9を用いてバス型配線領域5内のあるバス線に載せることにより、これを順次繰り返していけば、同期レジスタ7、論理演算ブロック8、同期レジスタ7、・・・の順序でパイプライン的な結合形態が容易に実現できる。また、前述の(基本回路の組み合わせ)の欄において述べたように、バス線選択回路9のプログラムによりバス型配線領域5を介して、論理演算ブロック8のフィードバックを含む直列的接続、並列的接続、同報的接続、Wired-And接続がいずれも可能であるため、データ入力セクタバッファ2からデータ出力セクタバッファ4の間の一連の処理を、論理演算ブロック8と同期レジスタ7を適当に組み合わせさせてデジタル通信処理に必要な種々の回路を実現することができる。さらに、入力セクタバッファ2および出力セクタバッファ4においても、バス型配線領域5から選択的にバス線を選択することができる。その結果、論理演算ブロック8、同期レジスタ7の組み合

せにより構成されるデジタル通信処理回路内において、論理演算ブロック8および同期レジスタ7の入出力端子とバス線選択回路9を用いて結合可能であるため、対象となる通信処理回路の任意の位置に外部からデータを入力し、または外部へデータを取り出すことができる。

【0022】(具体的な通信処理回路の構成)図21は、本発明の一実施例を示すもので、デジタル処理回路上にデジタル通信処理回路の1つであるフレーム同期回路を実現した回路図である。ここでは、入力データは8ビットパラレル信号を1単位(1バイト)とし、1フレーム16バイト以下とする。フレーム同期パターンは、フレーム先頭4バイトとし、処理回路は内部にカウンタを持ち、同期パターン検出時の時刻を確認して、フレーム同期外れが発生していないか否かを確認する。図21において、1はデータ入力端子、2はデータ入力セクタバッファ、5はバス型配線領域、つまりバス線の集合である。9はバス線選択回路であって、各配線通りにプログラムする。7-1~7-5はそれぞれ数ビット幅(8ビット以上)の同期レジスタ、8-1~8-7はそれぞれ数ビットの入出力を持つ機能をプログラムすることが可能な論理演算ブロックである。ここでは、8ビット入力8ビット出力の任意の論理関数を実現できるものとする。以下、この回路の動作を説明する。

(a) プログラム

図21の回路をフレーム同期回路として使用するためには、各論理演算ブロック8の機能、バス線選択回路9内でのバス線と同期レジスタ7および論理演算ブロック8の入出力信号を接続するための機能をプログラムする必要がある。論理演算ブロック8-1は、カウンタの機能をプログラムする。ここでは、カウンタ回路に必要なレジスタとして、同期レジスタ7-1内部の4ビット分の同期レジスタを使用する。また、8-2はカウンタの出力を受けて、ある時刻に信号を出力するための回路としてプログラムする。また、論理演算ブロック8-3~8-6は、それぞれフレーム同期パターン4バイトのうち1バイト分のパターン検出を行い、入力データとの一致が確認されると、信号を発生する機能をプログラムする。論理演算ブロック8-7は、入力される全ての1ビット信号が真の時に真を出力する機能をプログラムする(5ビットのAND)。バス線選択回路9によるバス型配線領域5内の設定は、次の(b)動作により述べる。

【0023】(b) 動作

データ入力端子1から入力された8ビットの並列データは、データ入力セクタバッファ2内のバス線選択回路11の設定により、バス型配線領域5内のバス線8ビット分に載せられる。なお、データ入力セクタバッファ2のバス線選択機能も、バス線選択回路9と同じ方法でプログラムできる。このデータバスは、バス線選択回路9-3の設定により同期レジスタ7-2の入力信号に接

続され、同期レジスタ7-2によりラッチされる。同期レジスタ7-2の出力は、再びバス線選択回路9-3の設定により別のバス線に載せられる。このバス線は、バス線選択回路9-5により同期レジスタ7-3の入力信号に接続され、同期レジスタ7-3によりラッチされる。同期レジスタ7-3の出力は、バス線選択回路9-5の設定により別のバス線に載せられる。このバス線は、バス線選択回路9-7の設定により同期レジスタ7-4の入力信号に接続され、同期レジスタ7-4によりラッチされる。同期レジスタ7-4の出力は、バス線選択回路9-7の設定により別のバス線に載せられる。このバス線は、バス線選択回路9-9の設定により、同期レジスタ7-5の入力信号に接続され、同期レジスタ7-5によりラッチされる。同期レジスタ7-5の出力は、バス線選択回路9-9の設定により別のバス線に載せられる。各同期レジスタ7は、入力データが供給されるクロックと同期しているため、データ入力端子1に入力される8ビット並列データの時系列の連続する4バイトは同期レジスタ7-2〜7-5に展開されることになる。

【0024】また、同期レジスタ7-2〜7-5の出力は、それぞれバス線選択回路9-6、9-8、9-10、9-12の設定により論理演算ブロック8-3〜8-6の入力にも分配される。論理演算ブロック8-3〜8-6は、8ビット（1バイト）のデータを入力とし、そのデータがあるパターンに一致した場合に、出力8ビットのうちの1ビットを真として出力するようにプログラムされているため、論理演算ブロック8-3〜8-6の各出力で4バイト分のフレーム同期パターンの検出が行える。これらの出力（1ビット分）は、それぞれバス線選択回路9-6、9-8、9-10、9-12の設定により別々のバス線に載せられる。これらのバス線は、バス線選択回路9-13の設定により論理演算ブロック8-7の入力として分岐される。一方、論理演算ブロック8-1の4ビット分の出力は、バス線選択回路9-2の設定によりバス線に載せられ、再びバス線選択回路9-1の設定により同期レジスタ7-1の入力に接続される。このデータ4ビットは、同期レジスタ7-1内でラッチされ、その4ビットの出力はバス線選択回路9-1の設定によりバス線に載せられ、そのバス線はバス線選択回路9-2の設定により論理演算ブロック8-1の入力に接続される。この設定により、同期レジスタ7-1と論理演算ブロック8-1とはループ接続されることになる。論理演算ブロック8-1は、同期レジスタ7-1とループ接続されることにより4ビットバイナリカウンタを構成するように機能をプログラムされているため、この接続により4ビットバイナリカウンタが構成される。

【0025】その出力は同期レジスタ7-1の出力に一致しており、バス線上に載せられているその信号は、バ

ス線選択回路9-4の設定により論理演算ブロック8-2の入力4ビット分に接続される。論理演算ブロック8-2は、入力の4ビット（時刻に相当）があるパターンに一致した場合に、出力として8ビットのうちの1ビットを真にするようにプログラムされている。その出力1ビットは、バス線選択回路9-4の設定により再び別のバス線に載せられる。そのバス線は、バス線選択回路9-13の設定により論理演算ブロック8-7の入力に接続される。論理演算ブロック8-7は、入力5ビットが全て真であるとき、出力1ビットを真とするようにプログラムされている。この出力をバス線選択回路9-13の設定により再びバス線に載せれば、バス型配線領域5内のバス線にフレーム先頭のバイトデータ8ビットが、論理演算ブロック8-7からのフレーム同期パターン一致検出信号1ビットと同時に現われる。これは、タグ情報付きデータと考えることができる。結局、図21に示す回路により、フレーム同期回路が実現できたことになる。また、結果のデータは、バス型配線領域5内のバス線に載っているため、本実施例の回路では、他の論理演算ブロックおよび同期レジスタを用いて論理演算ブロックの機能とバス線の選択をプログラムすることにより、実現できる回路の入力として使用できる。例えば、タグ付きデータの逐次処理の入力となる。

【0026】（基本構成-その2）図22は、本発明の第2の実施例を示すデジタル処理回路の構成図である。高速デジタル通信処理回路では、論理演算ブロックを多段に結合して論理演算の遅延時間を大きくすることができない。そのために、対象とする処理回路の適当な位置に同期レジスタを挿入することにより、回路のスループットの向上を図る。このような方法を用いて高速なシステムクロックを持つ回路を構成すれば、入力データを受けてから出力を得るまでの遅延は大きくなるが、スループットとしてのシステムクロックは低下しない。これは、マイクロプロセッサにおけるパイプライン処理の手法と同じである。第2の実施例では第1の実施例に比べて、特に同期レジスタ、論理演算ブロック、同期レジスタ、論理演算ブロック、・・・の順序のパイプライン構成を強化した配置を持つものである。図22において、33はデータ入力端子、34はデータ入力セクタバッファ、35はデータ出力端子、36はデータ出力セクタバッファ、37はバス型配線領域、38-1〜38-5はそれぞれ数ビット幅の同期レジスタ、39-1〜39-4はそれぞれ数ビット入力-数ビット出力の論理演算ブロック、40-1〜40-5それぞれバス線選択回路、41-1〜41-3はそれぞれバス線終端子である。また、43は論理演算ブロック39をプログラムするためのコントローラ、44はおよびバス線選択回路40の選択機能とバス線終端子41のバス線終端のON/OFFをプログラムするためのコントローラである。

【0027】図22では、同期レジスタ38の出力端子と論理演算ブロック39の入力端子とを直結して1つのユニットとし、論理演算ブロック39の出力と次の同期レジスタ38の入力を直接結合して、同期レジスタ、論理演算ブロック、同期レジスタ、論理演算ブロック、・・・というパイプラインを構造上用意する。また、同期レジスタ38と論理演算ブロック39間の直接結合により、パイプライン処理のデータストリーム上で高速にデータが伝搬できることを保証している。同期レジスタ38と論理演算ブロック39とを合わせたユニット間からバス型配線領域37に、バス選択回路40を経由して信号を伝搬するための分岐配線42を用意している。各部の構成は、第1の実施例と殆んど同じであって、第1の実施例との差は、同期レジスタ38と論理演算ブロック39とを直接結合し、それらを直列に結合したパイプライン処理用のデータストリームが構造上用意されていることである。以下、第2の実施例の動作を説明する。

【0028】(a) プログラム

第2の実施例を用いてデジタル通信処理回路を実現する場合には、論理演算ブロック39の論理演算の機能と、バス線選択回路40のバス線選択の機能と、バス線終端子41のバス線終端のON/OFFを、それぞれプログラムする必要がある。これらをプログラムするためのデータは、データ入力端子33から与えられることにより、データセクタバッファ34を経由して、論理演算ブロックをプログラムするためのコントローラ43、およびバス線選択回路40とバス線終端子41をプログラムするためのコントローラ44に送られる。この信号を受けて、コントローラ43および44は、論理演算ブロック39、バス線選択回路40、バス線終端子41の機能を決定する記憶要素に対してプログラムを行う。図23、図24は、図22におけるプログラム系の動作説明図である。論理演算ブロック39は、数ビット幅の入力データをアドレスとしてそれを適当な幅にデコードするデコーダ45、デコードされたデータをアドレスとして記憶された数ビット幅のデータを出力するメモリ46、そのメモリの内容をプログラムするためのコントローラ47を具備することにより、数ビット入力/出力のプログラム可能な論理演算を行うことができる。バス線選択回路40は、図24(a)に示すように、入力信号線48と出力信号線49とバス型配線領域37内のバス線とを結合するためのスイッチ50と、そのスイッチ50のON/OFFをコントロールするための記憶要素51から構成される。この場合に、スイッチ50は、論理回路で構成してもよく、またバストランジスタ等の素子で構成してもよい。バス線終端子41は、図24(b)に示すように、バス型配線領域37内のバス線の接続を接続/切断するためのスイッチ53と、スイッチ53をコントロールするための記憶要素52から構成される。この場合に、スイッチ53は、双方向のトライステート

バッファの組合わせ53を用いて構成することができる。このような構成を用いれば、論理演算ブロック39の機能を決定するための記憶要素46、バス線選択回路40の機能を決定するための記憶要素51、バス線終端子41の機能を決定するための記憶要素52を、コントローラ43、44を用いてプログラムすることにより、本発明の回路自体の機能が決定されることになる。

【0029】(b) 動作

図22の回路の動作を述べる。論理演算ブロック39-1~39-4をプログラムすることにより、同期レジスタ38-1→論理演算ブロック39-1→同期レジスタ38-2→論理演算ブロック39-2→・・・同期レジスタ38-5の順序のパイプライン処理のための回路構成ができる。このパイプラインは、データ入力端子33から入力されたデータが、データ入力セクタバッファ34を経由して同期レジスタ38-1に入力されて、パイプライン処理が施され、同期レジスタ38-5から処理結果がデータ出力セクタバッファ36を経由してデータ出力端子35から出力される。バス線選択回路40は、このパイプライン処理の適当なステージからデータをバス型配線領域37に抜き出して、バス線上を伝搬させることにより、パイプライン処理の適当なステージに挿入することができる。バス線選択回路40の機能をプログラムすることにより、パイプライン処理における各ステージの出力が他のステージ(自分のステージも含む)の入力として次のクロックで参照できる。また、バス型配線領域37内のバス線は、データ入力セクタバッファ34、データ出力セクタバッファ36の双方に接続されているため、パイプライン処理の任意のステージの処理に外部からの入力を挿入したり、任意のステージの出力を外部に取り出したりすることができる。さらに、バス線終端子41は、バス線を分割することによりバス線の有効利用を図ることができる。第2の実施例を用いて回路を構成する場合には、このパイプライン処理が基本動作となる。

【0030】このように、本発明の各実施例においては、デジタル通信処理のデータ処理アルゴリズムを容易に効率よく実現できるアーキテクチャと、その配置形態を具備しており、さらに、論理演算ブロックの機能、バス線選択回路の選択機能、バス線を有効に利用するためのバス終端子のON/OFFをSRAM, EPROM, FUSE, ANTI-FUSE等の手段でユーザがプログラム可能にすることにより、デジタル通信処理に必要な殆んど全ての回路を実現することができる。

(イ) 完全な同期回路としては、ある処理単位(1~nビット)並列の処理対象データ時系列がシステムクロックに同期して逐次的に入出力ブロックから取り込まれ、そのデータが入出力ブロックに直結するバス型配線領域に載せられる。このデータを同期レジスタおよび論理演算ブロック毎に用意されているバス線選択回路により、

同期レジスタの入力に分岐されて、同期レジスタにラッチされた後、論理演算ブロックに入力されて処理を受け、その結果を次の同期レジスタ入力にバス型配線領域ないし直接接続要素により伝搬させる。これを逐次的に繰り返すことにより、システムクロックに同期したパイプライン処理を行うデータストリームを容易に形成することができる。

(ロ) 入出力ブロックとしては、入出力ブロックがバス型配線領域に直結しており、各同期レジスタと論理演算ブロック毎に用意されているバス線選択回路で分岐させることにより、バス型配線領域に載せて、任意の組の同期レジスタないし論理演算ブロックの入力に直接外部からの信号を入力することができ、また任意の組の同期レジスタないし論理演算ブロックの出力から直接デバイス外部に信号を取り出すことができる。

(ハ) 高速性が要求されるデジタル通信処理においては、同期レジスタと論理演算ブロックの組を接続したパイプライン構成により、同期回路として最小遅延で用いることが望ましいが、高速性よりも論理の複雑さを要求する処理、例えば低速性の通信／伝送処理では、論理演算ブロックどうしをバス線選択回路とバス型配線領域により直接結合することにより、論理の深さを増して対応することも可能である。また、同じく、同期レジスタどうしをバス線選択回路とバス型配線領域を用いて直接結合することにより、簡単なメモリが構成されるので、これもデジタル通信処理に必要なバッファ、FIFOとして利用できる。

(ニ) バス終端子としては、同期レジスタと論理演算ブロック間、同期レジスタ相互間、論理演算ブロック相互間、および各々と入出力ブロック間の結合は、直接結合要素ないしバス線選択回路を介してのバス型配線領域を用いて実現される。その場合に、バス型配線領域を有効利用するために1本のバス線を複数に分割して使用するものとして、適当な位置にバス線終端子を設置する。

(ホ) 論理演算ブロックの論理演算機能と、バス線選択回路の選択設定と、バス線分割のためのバス線終端子のON/OFFとを、それぞれプログラム可能とすることにより、従来のプログラム可能論理素子と同じ柔軟性を持ち、デジタル通信処理に用いた場合に高速かつ効率の高い回路を実現できる。

(ヘ) 内部の同期レジスタと論理演算ブロックの組を均一に繰り返し配置するため、デバイス間に渡ってパイプライン処理のデータストリームを簡単に拡張することができる。さらに、同期レジスタと論理演算ブロックの組毎に用意されているバス線選択回路を用いて、デバイスへの外部からの入力信号を任意の組に渡せるので、デバイス間に分割された複数のデータストリームを統合、再分散することができる。これは、超高速動作を要求するシステムで、デジタル通信処理のための入力データ時系列を高並列に展開して、要求されたシステムクロック

を落して処理を行う場合に、デバイスを並列に配置するときに有効となる。このように、本実施例では、強力なデータストリームを構成し、パイプライン処理の実現を容易にしているので、従来のFPGAやPLDでは実現できなかった高速な通信処理回路を実現することができる。

【0031】

【発明の効果】以上説明したように、本発明によれば、デジタル通信処理の特質をアーキテクチャに反映した回路構成を用いるため、デジタル通信の高速から低速までのあらゆる処理回路を容易に実現することができる。また、基本構成要素として論理演算ブロックと同期レジスタを結合するための配線をバス型としているため、回路内に強力なデータの流れを複数本構成することができ、データの入口から出口まで均一構造の繰り返しとなるので、複数のデバイスを結合して用いた場合でも、このデータストリーム構成は保持される。その結果、回路規模の大小にかかわらず、論理演算ブロックとその結合関係をプログラムすることにより、デジタル通信処理の殆んど全ての処理回路を実現することができる。

【0032】

【図面の簡単な説明】

【図1】本発明の第1の実施例を示すデジタル処理回路の基本構成図である。

【図2】図1におけるデータ入力セレクトバッファの内部構成図である。

【図3】図1におけるデータ出力セレクトバッファの内部構成図である。

【図4】図1における同期レジスタの内部構成図である。

【図5】図1における論理演算ブロックの第1の構成例を示すブロック図である。

【図6】図1における論理演算ブロックの第2の構成例を示すブロック図である。

【図7】図1における論理演算ブロックの第3の構成例を示すブロック図である。

【図8】図1におけるバス線選択回路の内部構成例図である。

【図9】図1におけるバス線終端子の応用例を示す図である。

【図10】図1におけるバス線終端子の内部構成例を示す図である。

【図11】図1におけるプログラムコントローラの構成例を示す図である。

【図12】図1における無記憶型論理演算ブロックの構成例を示す図である。

【図13】図1における記憶型論理演算ブロックの構成例を示す概略図である。

【図14】図1における記憶型論理演算ブロックの構成

例を示す詳細図である。

【図15】一般のデジタル同期回路の基本形を示す図である。

【図16】一般のデジタル処理回路の直列接続と並列接続の構成を示す図である。

【図17】一般のデジタル処理回路のWired AND接続の構成を示す図である。

【図18】図1における論理演算ブロックと同期レジスタ間の結合例を示す図である。

【図19】図1におけるデジタル処理回路を用いたパイプライン処理の構成を示す図である。

【図20】図1におけるデジタル処理回路を用いたデジタル通信処理の構成を示す図である。

【図21】図1におけるデジタル処理回路を用いてフレーム同期回路を実現した例を示す図である。

【図22】本発明の第2の実施例を示すデジタル処理回路の基本構成図である。

【図23】図22におけるデジタル処理回路のプログラム系の解析図である。

【符号の説明】

- 1, 33 データ入力端子
- 2, 34 データ入力セクタバッファ
- 3, 35 データ出力端子
- 4, 36 データ出力セクタバッファ
- 5, 37 バス型配線領域
- 6, 41 バス線終端子
- 7, 38 同期レジスタ
- 8, 39 機能をプログラム可能な論理演算ブロック
- 9, 40 バス線選択回路
- 10 プログラムコントローラ
- 11 データ入力セクタバッファ内バス線選択回路
- 12 データ出力セクタバッファ内バス線選択回路

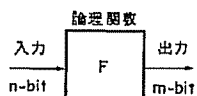
- 13 バッファ
- 14 1ビット入力1ビット出力データラッチ
- 15 クロック信号線
- 16, 46 メモリ
- 17 メモリ管理ユニット
- 18 プログラム信号線
- 19 アドレスデコーダ
- 20 機能固定型論理演算ブロック
- 21 パラメータ入力記憶用メモリ
- 22 メモリコントローラ
- 23 バス型配線領域内バス線
- 24 セルバス間信号線
- 25 信号線短絡用素子
- 27 バス線終端子内バッファ
- 28 プログラム制御信号線
- 29 プログラム用アドレスバス
- 30 プログラム記憶素子
- 31 プログラムデータバス
- 32 プログラム入力用信号線
- 42 分岐配線
- 43 論理演算ブロックプログラム用コントローラ
- 44 バス線選択回路/終端子プログラム用コントローラ
- 45 デコーダ回路
- 47 プログラムコントローラ
- 48 入力信号線
- 49 出力信号線
- 50 バス線選択回路配線接続スイッチ
- 51 バス線選択回路内スイッチコントロール用記憶素子
- 52 バス線終端子内スイッチコントロール用記憶素子
- 53 双方向トラスターバッファ対

【図12】

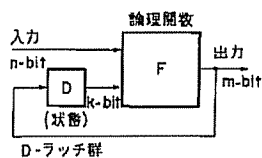
【図13】

【図16】

無記憶型論理演算機能ブロック

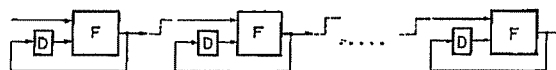


記憶型論理演算機能ブロック

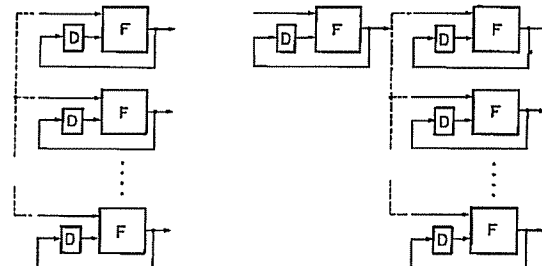


デジタル処理回路の構成

(1) 直列的接続

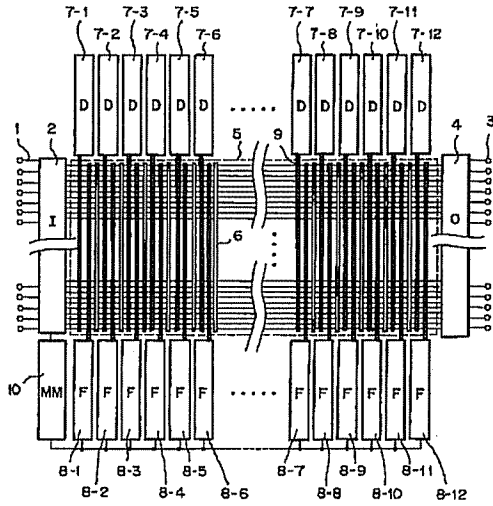


(2) 並列的接続と同様の接続



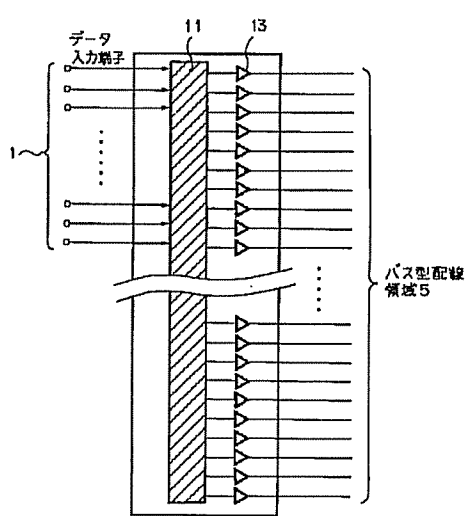
【図1】

実施例その1(基本構成)



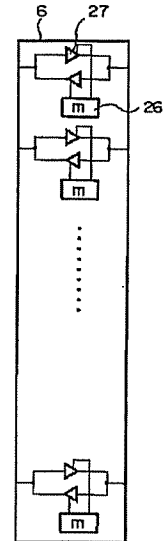
【図2】

データ入力セクタバッファ



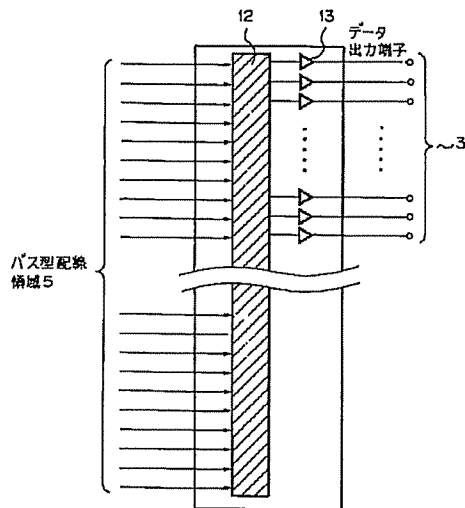
【図10】

バス終端回路



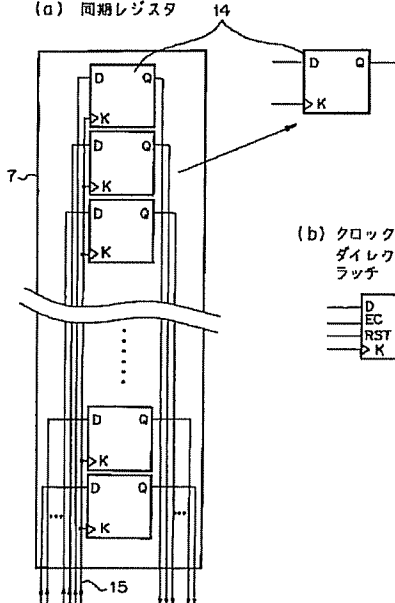
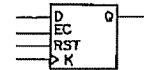
【図3】

データ出力セクタバッファ

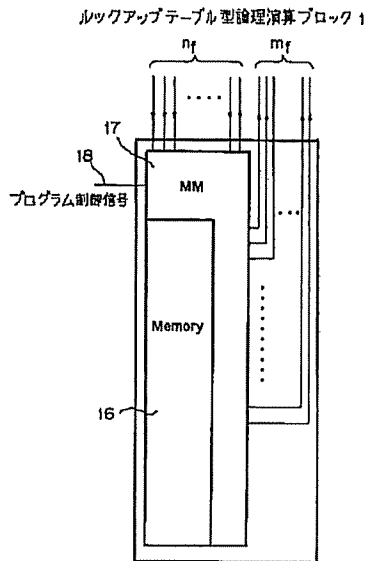


【図4】

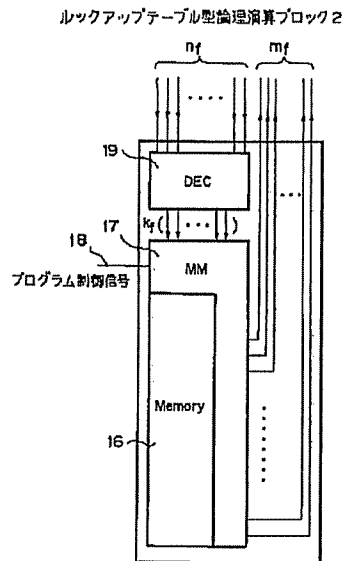
(a) 同期レジスタ

(b) クロックイネーブル
ダイレクトリセット付
ラッチ

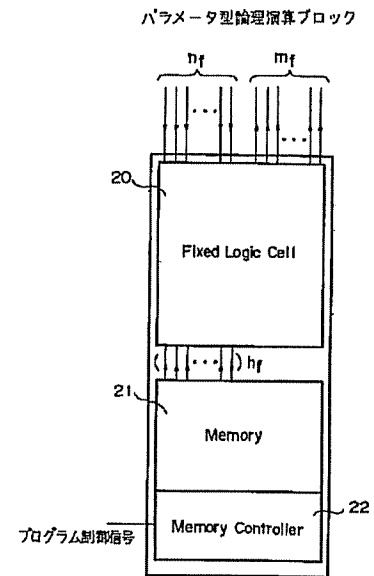
【図5】



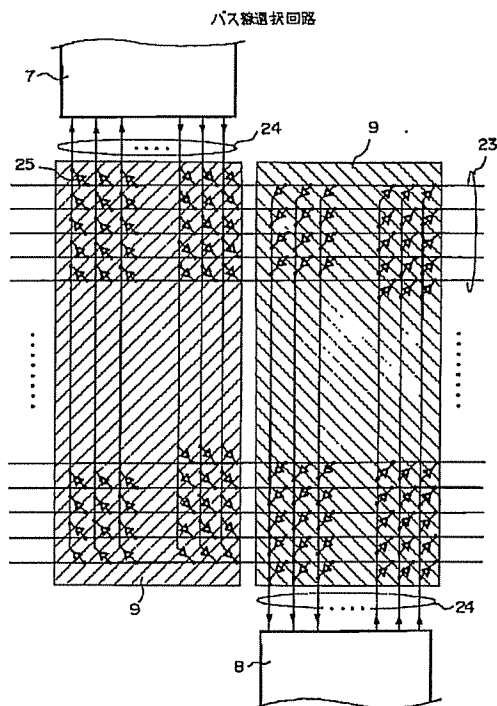
【図6】



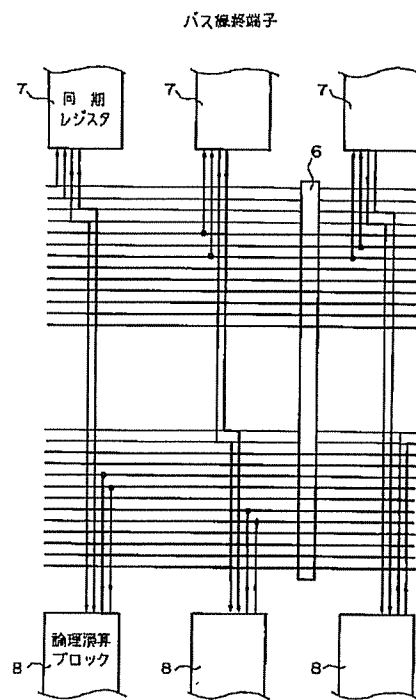
【図7】



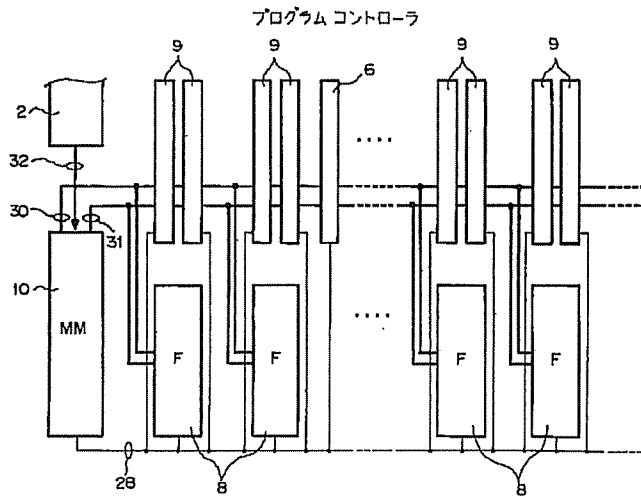
【図8】



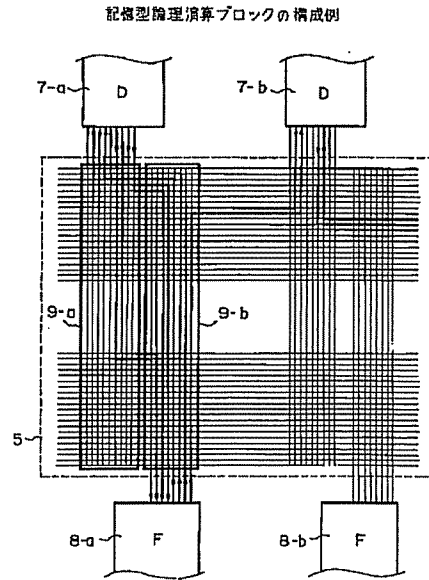
【図9】



【図11】

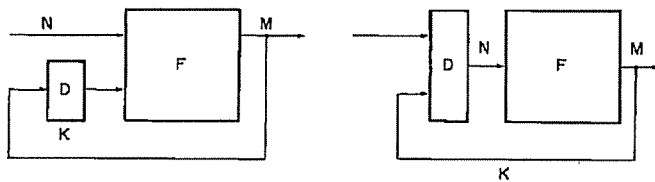


【図14】

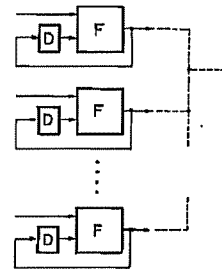


【図15】

デジタル同期回路の基本形

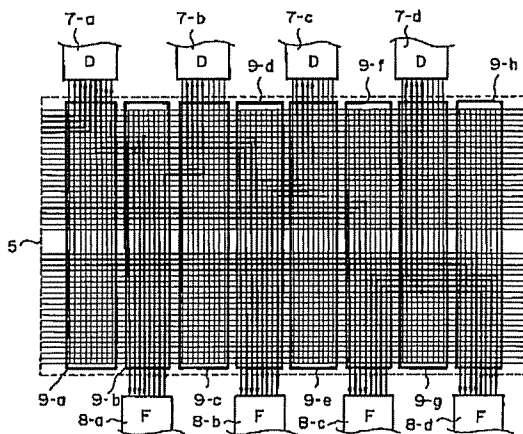


【図17】

デジタル処理回路の構成
Wired AND 接続

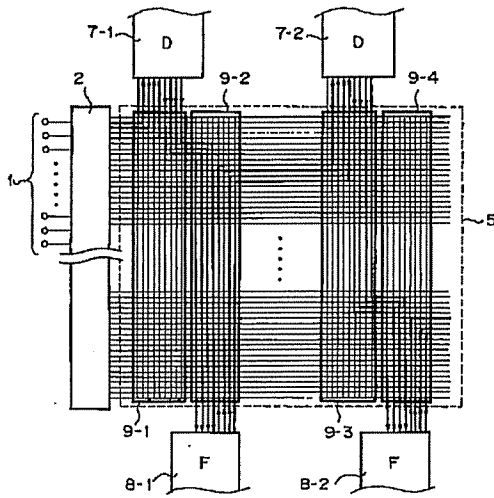
【図18】

論理演算ブロックと同期レジスタの結合実例



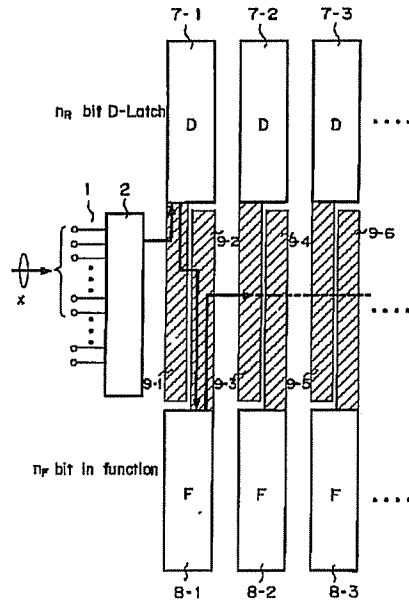
【図19】

パイプライン処理構成実施例



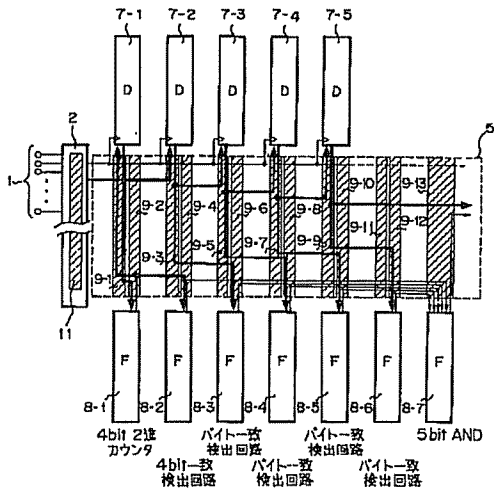
【図20】

デジタル通信処理の実現例



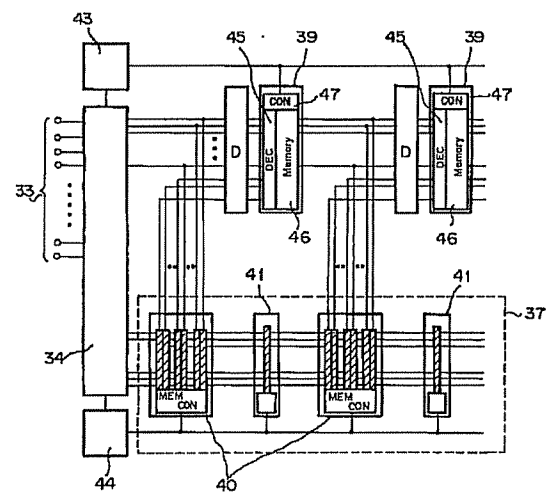
【図21】

フレーム同期回路の実現例

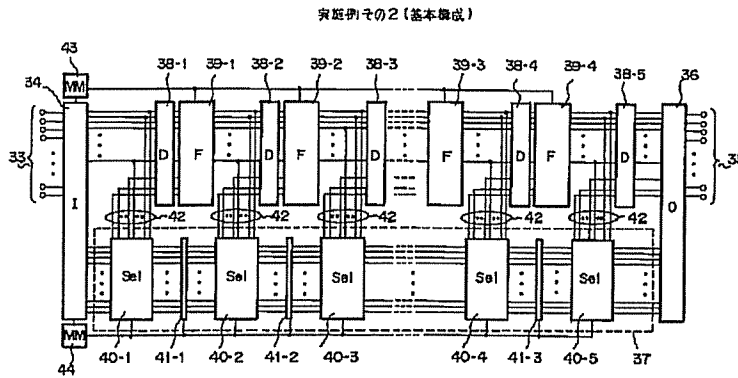


【図23】

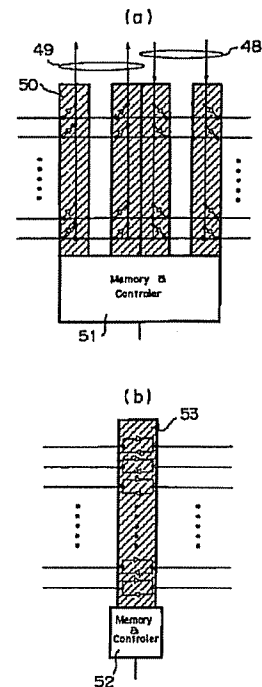
実施例その2におけるプログラム系



【図22】



【図24】



【手続補正書】

【提出日】平成4年12月3日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】追加

【補正内容】

【図面の簡単な説明】

【図1】本発明の第1の実施例を示すデジタル処理回路の基本構成図である。

【図2】図1におけるデータ入力セクタバッファの内部構成図である。

【図3】図1におけるデータ出力セクタバッファの内部構成図である。

【図4】図1における同期レジスタの内部構成図である。

【図5】図1における論理演算ブロックの第1の構成例を示すブロック図である。

【図6】図1における論理演算ブロックの第2の構成例を示すブロック図である。

【図7】図1における論理演算ブロックの第3の構成例を示すブロック図である。

【図8】図1におけるバス線選択回路の内部構成例図である。

【図9】図1におけるバス線端子の応用例を示す図である。

【図10】図1におけるバス線端子の内部構成例を示す図である。

【図11】図1におけるプログラムコントローラの構成例を示す図である。

【図12】図1における無記憶型論理演算ブロックの構成例を示す図である。

【図13】図1における記憶型論理演算ブロックの構成例を示す概略図である。

【図14】図1における記憶型論理演算ブロックの構成例を示す詳細図である。

【図15】一般のデジタル同期回路の基本形を示す図である。

【図16】一般のデジタル処理回路の直列接続と並列接続の構成を示す図である。

【図17】一般のデジタル処理回路のWired AND接続の構成を示す図である。

【図18】図1における論理演算ブロックと同期レジスタ間の結合例を示す図である。

【図19】図1におけるデジタル処理回路を用いたパイプライン処理の構成を示す図である。

【図20】図1におけるデジタル処理回路を用いたデ

ィジタル通信処理の構成を示す図である。

【図21】図1におけるィジタル処理回路を用いてフ
レーム同期回路を実現した例を示す図である。

【図22】本発明の第2の実施例を示すィジタル処理
回路の基本構成図である。

【図23】図22におけるィジタル処理回路のプログ
ラム系の解析図である。

【図24】同じく、図22におけるプログラム系の動作
説明図である。

【符号の説明】

- 1, 33 データ入力端子
- 2, 34 データ入力セクタバッファ
- 3, 35 データ出力端子
- 4, 36 データ出力セクタバッファ
- 5, 37 バス型配線領域
- 6, 41 バス線終端子
- 7, 38 同期レジスタ
- 8, 39 機能をプログラム可能な論理演算ブロック
- 9, 40 バス線選択回路
- 10 プログラムコントローラ
- 11 データ入力セクタバッファ内バス線選択回路
- 12 データ出力セクタバッファ内バス線選択回路
- 13 バッファ
- 14 1ビット入力1ビット出力データラッチ
- 15 クロック信号線
- 16, 46 メモリ
- 17 メモリ管理ユニット

- 18 プログラム信号線
- 19 アドレスデコーダ
- 20 機能固定型論理演算ブロック
- 21 パラメータ入力記憶用メモリ
- 22 メモリコントローラ
- 23 バス型配線領域内バス線
- 24 セルバス間信号線
- 25 信号線短絡用素子
- 27 バス線終端子内バッファ
- 28 プログラム制御信号線
- 29 プログラム用アドレスバス
- 30 プログラム記憶素子
- 31 プログラムデータバス
- 32 プログラム入力用信号線
- 42 分岐配線
- 43 論理演算ブロックプログラム用コントローラ
- 44 バス線選択回路/終端子プログラム用コントローラ
- 45 デコーダ回路
- 47 プログラムコントローラ
- 48 入力信号線
- 49 出力信号線
- 50 バス線選択回路配線接続スイッチ
- 51 バス線選択回路内スイッチコントロール用記憶素子
- 52 バス線終端子内スイッチコントロール用記憶素子
- 53 双方向トラステートバッファ対

フロントページの続き

(72)発明者 太田 直久

東京都千代田区内幸町1丁目1番6号 日
本電信電話株式会社内